

SEU 加固存储单元多节点翻转的准三维数值模拟

刘 琳, 赵元富, 岳素格

(北京微电子技术研究所 设计部, 北京 100076)

摘 要: 为了深入了解 SEU 加固存储单元中多节点翻转的内部电荷收集及电压变化机制, 采用准三维模拟工具 MEDICI, 对 DIED 加固单元进行器件/电路的混合模拟. 结果表明, 瞬时浮制节点和电荷的横向扩散是多节点翻转的关键原因. 还研究其他加固单元多节点翻转的特点, 并给出了避免多节点翻转的方法.

关键词: 多节点翻转; 电荷收集; 准三维模拟; SEU

中图分类号: TN386

文献标识码: A

文章编号: 1000-7180(2010)05-0099-04

Quasi-Three-Dimensional Simulation of MNU in SEU Hardened Storage Cells

LIU Lin, ZHAO Yuan-fu, YUE Su-ge

(Department of Designing, Beijing Microelectronics Technology Institute, Beijing 100076, China)

Abstract: We study the interplay of the charge collection and voltage change of multiple-node upset in SEU hardened cell, using the quasi-3D device/circuit mixed-mode simulation in a DICE cell. The results show the transient floating node and charge lateral diffusion are the key reasons for MNU. We also compare the MNU in other SEU hardened cells, and discuss the methods to avoid MNU.

Key words: multiple-node upset(MNU); charge collection; quasi-3D simulation; SEU

1 引言

单粒子翻转(single event upset, SEU)是指单个高能粒子射入半导体器件灵敏区, 使器件逻辑状态发生翻转. 这将导致存储单元中的数据损坏, 因此辐射环境下使用的存储器都必须针对 SEU 进行加固. 目前常见的加固方法有 SOI 工艺加固, 电阻加固和设计加固. 其中, 设计加固以较低的工艺成本及较快的读写速度优于另两种加固方法. 设计加固的基本思想是引入冗余存储节点, 在一个节点翻转时可以通过反馈从其他节点恢复该节点的电压.

在过去 20 年中, 人们提出了多种 SEU 加固的存储单元. 在 1988 年 Rockett 提出了第一个加固单元^[1], 试验结果指出其 LET_{th} 为 $74\text{Mev}/(\text{mg} \cdot \text{cm}^2)$ ^[2]. 1991 年提出的 WHIT 单元^[3], 重离子实验

表明, 在 $120\text{Mev}/(\text{mg} \cdot \text{cm}^2)$ 下没有发现翻转. 文献 [2, 4] 提出了两个 HIT (heavy ion tolerant) 单元, 实验表明这种电路的翻转截面远小于普通的 SRAM, 但是其临界 LET 却很小. 1996 年提出的 DICE 加固单元^[5], 因其低功耗、较快的恢复速度而被广泛采用.

理论上, 所有这些加固单元应该对单个节点上任何数量的电荷收集都是免疫的, 然而试验结果却没有证实这一点. 文献 [6-7] 指出单个重离子可以在 DRAM 和 SRAM 中, 通过横向电荷传输, 引起多位翻转 (MBU). 这个现象也可能在 SEU 加固单元的多个节点中发生. 文中将对 DICE 单元使用准三维器件/电路的混合模拟, 来阐释多节点电荷收集引起 SEU 加固单元翻转的机制. 同时, 讨论了其他加固单元的多节点翻转问题, 并给出避免发生多节点

收稿日期: 2009-04-07; 修回日期: 2009-06-07

基金项目: 国家核高基专项项目 (2008ZX01019-001)

翻转的方法.

2 多节点翻转的准三维模拟

如图 1 所示,由于 DICE 单元冗余节点在不同存储状态下,分别通过 N 管或 P 管来维持数据,因此不同存储状态下 N 管和 P 管的漏区都可能是单粒子的敏感区.以 NMOS 管为例,详细介绍其模拟过程及结果分析,PMOS 管只给出其仿真结果.

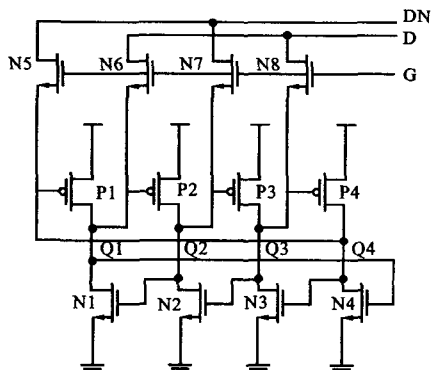


图 1 DICE 单元

2.1 物理模型及器件结构

利用 MEDICI 对 DICE 单元中的 MOSFET 进行多节点翻转的数值模拟.主要的物理模型考虑了影响寿命的 SRH 复合、俄歇复合、载流子的速度饱和效应、迁移率随掺杂浓度及电场的变化及禁带变窄等.先对两个 NMOS 管进行建模,分别为 NMOS1 和 NMOS2.基于 $0.7\mu\text{m}$ 的商用 CMOS 体硅工艺,两个 NMOS 的栅长为 $0.7\mu\text{m}$,宽度为 $1.1\mu\text{m}$,彼此间距为 $3\mu\text{m}$.两个 PMOS 建模时,宽度变为 $1.5\mu\text{m}$.仿真使用的重离子是 $100\text{Mev}/(\text{mg}\cdot\text{cm}^2)$ 的氩离子,其入射深度和半径分别为 $2\mu\text{m}$ 及 $0.2\mu\text{m}$.离子在 0.5ps 时入射到器件中,仿真时间为 0ps 到 10ns .

2.2 多节点翻转的研究

利用模型化的 NMOS 管,先模拟了 DICE 单元中的单节点电荷收集.图 2 给出了 DICE 单元此时的模型结构.DICE 单元中只有 N4 管被建模为器件级,与 NMOS1 相对应.其他晶体管都建模为 MOSFET 电路级.初始存储状态为 $(Q1, Q2, Q3, Q4) = (0, 1, 0, 1)$ 时, N4 处于关断状态,其反偏漏区对电荷收集敏感.这里 NMOS2 没有使用,其所有电极接地. $100\text{Mev}/(\text{mg}\cdot\text{cm}^2)$ 氩离子从 N4 的漏区中央沿法线入射.图 3 给出了各节点电压变化曲线,在 3ps 由于 N4 漏区的直接电荷收集, Q4 从 3V 快速将为 -1V ,这引起 Q1 点电压上升.劣化的 Q4 和升高的 Q1 使 N3 管和 P2 管关断,这使 Q3 和 Q2 节点浮

制,通过电容性来维持原有状态; 3ns 后电荷收集过程完成,由于 P4 管的饱和电流大于 N4 管, Q4 电压被拉回 3V .整个单元恢复到原有状态,因此 DICE 单元是对单节点翻转免疫的.

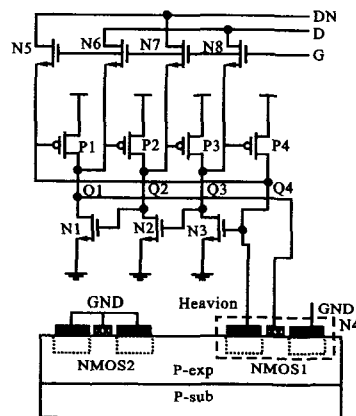


图 2 单个晶体管模型化为器件级

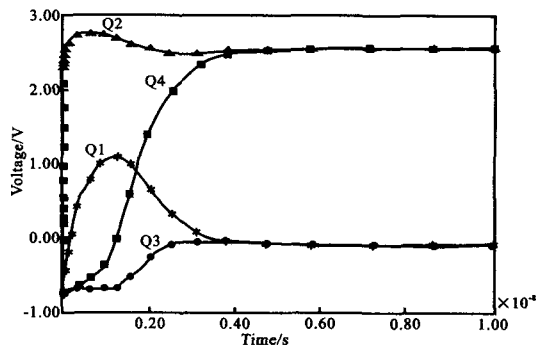


图 3 单节点电荷收集

然后,模拟了 DICE 单元的多节点电荷收集.单元的模型结构如图 4 所示, N2 和 N4 都模型化为器件级. N4 对应 NMOS1, N2 对应 NMOS2.其他晶体管建模为电路级.初始状态仍为 $(Q1, Q2, Q3, Q4) = (0, 1, 0, 1)$. N4 和 N2 都处于关断状态,其反偏漏区都为电荷收集敏感区. $100\text{Mev}/(\text{mg}\cdot\text{cm}^2)$ 氩离子仍入射到 N4 的漏区.图 5 给出每个节点的电压变化,在 0.5ns 之前, Q3 和 Q2 由于浮制其状态没有改

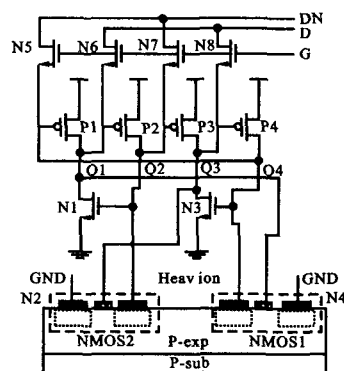


图 4 两个晶体管模型化为器件级

变.但0.5ns之后,Q2开始迅速下降,这使P3管开启,从而拉高了Q3.P4被关断而N4导通,这帮助Q4翻转到0.最终,整个单元发生了翻转.因此,考虑了多节点翻转时,单个离子有能力使DICE单元发生翻转.

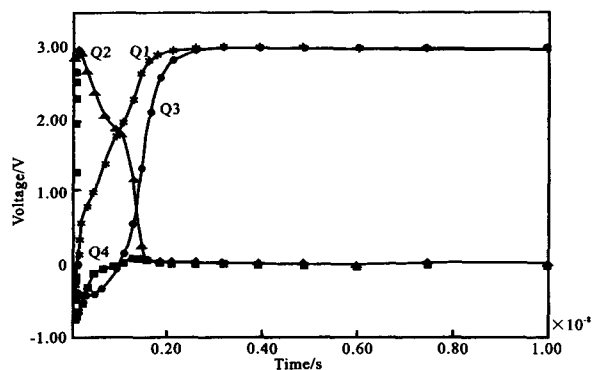


图5 多节点电荷收集

对比图5和图3,我们发现在0.5ns之前两图很相似,但0.5ns之后就截然不同了.因此,Q2节点在0.5ns之后的电压变化是整个单元翻转的关键.图6给出了0.5ps和1ns时,NMOS1和NMOS2的内部电势及电荷浓度的变化,这能充分解释Q2翻转的原因.图中白色区代表空穴浓度小于 $10^4/\text{cm}^3$,每个颜色梯度变化代表浓度以100为因子增长.在0.5ps,Q2节点处(NMOS2的漏区)的空穴浓度为0.在1ns,由离子轨迹产生的空穴横向扩散到了Q2,使此处的空穴浓度升高了.然而,其空穴浓度仍低于重离子轨迹处的浓度.但是由于升高的Q1(劣

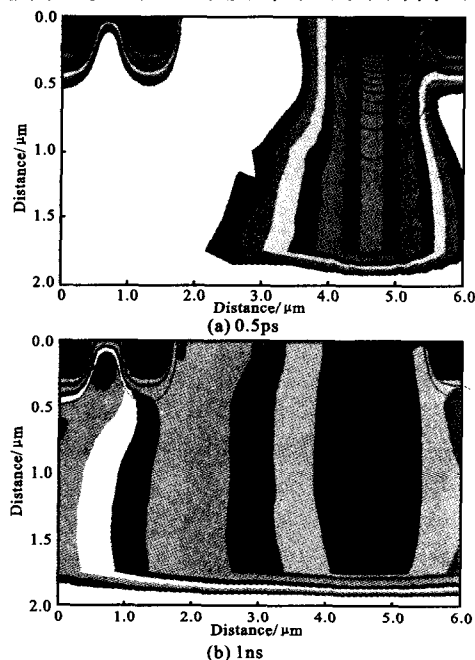


图6 器件模型内部电势及电荷浓度变化

化的Q4引起)导致了Q2节点浮制,Q2仅能通过寄生电容来维持原状态.此时,Q2的临界电荷很小,即使Q2处的电荷收集很少也足以使浮制的Q2节点翻转.

同样 $(Q1, Q2, Q3, Q4) = (0, 1, 0, 1)$ 初始状态下,图1中的P1和P3的漏区也是电荷收集的敏感区,采用与NMOS相同的对照仿真方法,同样得出:单节点电荷收集时,DICE单元可恢复状态;多节点电荷收集时,DICE单元翻转的结论.

我们通过对比了DICE单元中的单节点电荷收集和多节点电荷收集,模拟结果表明DICE可以在单节点翻转中恢复,而在多节点翻转时,即使两敏感区相距 $3\mu\text{m}$,整个单元发生翻转.因此,多节点翻转将会限制辐射加固电路的尺寸的不断缩小^[8-9].

3 其他加固单元的多节点翻转

在DICE单元中,Q4和Q2都是敏感节点.Q4的翻转可引起Q2节点的浮制,我们称这样成对出现的节点为CSN(coupled sensitive nodes).图7给出了其他的加固单元,它们大多数都有CSN,因此它们都对多节点翻转敏感.ROCK单元和HIT单元都是通过PMOS冗余锁存器来提供冗余节点的,因此,在这些加固单元中相应PMOS管的漏区为敏感节点区.这里以ROCK单元为例,初始状态如图7(a)所示.重离子撞击P1的漏区会使节点N翻转,进而P4转为关断,节点X变为浮制状态.由于电荷的横向扩散,P6的漏区将会收集电荷并引起X翻转.最终,整个单元发生翻转.

为了避免多节点翻转,应该将CSN在版图中分开放置,而且距离越远越好.在HIT单元中,节点对(M,L)和(N,K)分别是两个CSN.与(M,L)相对应的敏感器件对是P2和P4(或P6),而与(N,K)相对应的敏感器件对是P1和P5(或P3).因此,使CSN相互远离,需将P2远离P4和P6,而且将P1远离P5和P3.然而,在DICE单元中,分别分离节点对(Q1,Q3)和(Q2,Q4),相应的器件放置方式应为:N1(P1)应该远离N3(P3),而且N2(P2)应该远离N4(P4).另一种避免多节点翻转的方法是设计没有CSN的加固单元,WHIT^[3]就是这样的单元.如图7(c)所示,N1和Q2是敏感节点.假设重离子撞击M3的漏区,N1立刻翻转.M5将会关断,而P2将会导通.N2不是敏感节点,因此这里没有电荷收集,甚至没有电荷扩散到此.Q1不会翻转,因为P1强于P2.扩散到P3和P4的电荷会被收集.但是,由于电

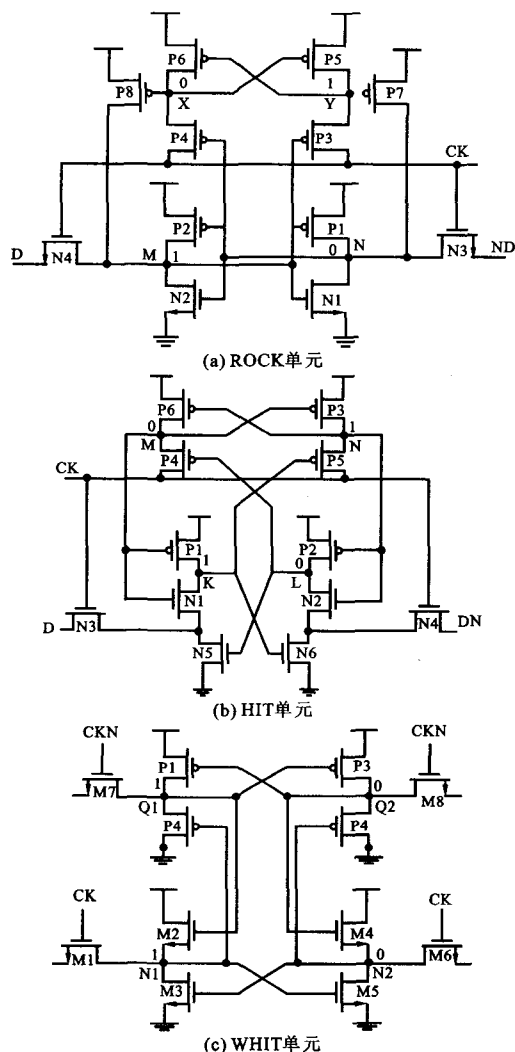


图7 其他加固单元

荷密度远小于离子轨迹处的密度,产生的瞬时电流克服不了来自 P4 的补偿电流.因此,Q2 不会翻转,除非重离子能量非常大.实验证明,WHIT 的 LET_{th} 是 $120\text{Mev}/(\text{mg}\cdot\text{cm}^2)$,远高于其他加固单元,这证明了此分析的正确性.但是,WHIT 的高静态电流阻止了它的广泛应用.

4 结束语

文中通过对 DICE 单元进行准三维的器件/电路模拟,研究了 SEU 加固单元中多节点翻转的内部机制.通过将包含两个 MOS 的器件模型连接到不同的外部电路来研究不同条件下的多节点翻转.

模拟结果表明 DICE 可以在单节点翻转中恢复,而在多节点翻转时,即使两敏感区相距 $3\mu\text{m}$,整个单元发生翻转.因此,多节点翻转将会限制辐射加固电路的尺寸缩小.

对于其他加固单元的多节点翻转现象,大多数加固单元在一个节点翻转时会产生瞬时浮制节点.为了避免多节点反转,或者在版图中使敏感节点对相互远离,或者通过设计避免单元中出现浮制节点.

参考文献:

- [1] Rockett L. An SEU hardened CMOS data latch design[J]. IEEE Trans. Nucl. Sci., 1988, 35(6): 1682.
- [2] Velazco R, Bessot D. Two CMOS memory cells suitable for the design of SEU-tolerant VLSI circuits[J]. IEEE Trans. Nucl. Sci., 1994, 41(6): 2229.
- [3] Whitaker S, Canaris J, Liu K. SEU hardened memory cells for a CCSDS reed solomon encoder[J]. IEEE Trans. Nucl. Sci., 1991, 38(6): 1471.
- [4] Wiseman D, Canaris J, Whitaker S. Design and testing of SEU/SEL immune memory and logic circuits in a commercial CMOS process[C]// NSREC Workshop. New Mexico, 1993.
- [5] Calin T, Nicolaidis M, Velazco R. Upset hardened memory design for submicron CMOS technology [J]. IEEE Trans. Nucl. Sci., 1996, 43(6): 2874.
- [6] Castellani-Coulie K, Sagnes B, Saigne F. 3-D device simulation[C]// Proceedings of the 7th European Conference on Radiation and Its Effects on Components and Systems. [S. L.], 2003.
- [7] Dodd P E, Sexton F W, Winokur P S. Three-dimensional simulation of charge collection and multiple-bit upset in Si devices[J]. IEEE Trans. Nucl. Sci., 1994, 41(6): 2005.
- [8] 李玉红. $0.18\mu\text{m}$ 工艺下单粒子加固存储器的设计与仿真[J]. 微电子学与计算机, 2007, 24(10): 36-40.
- [9] 王亮. 两个低开销抗单粒子翻转锁存器[J]. 微电子学与计算机, 2007, 24(12): 221-224.

作者简介:

刘琳女, (1983-), 硕士研究生. 研究方向为抗辐射加固的大容量存储器设计.